

IN THE U.S. PATENT AND TRADEMARK OFFICE

Applicant(s): CHEN, Shih-Heng

Application No.:

Group:

Filed: October 22, 2001

Examiner: #2

For: PHASE DEMODULATOR, SYMBOL TIMING RECOVERY CIRCUIT AND THE METHOD THEREOF



LETTER

Assistant Commissioner for Patents  
Box Patent Application  
Washington, D.C. 20231

October 22, 2001  
3626-0228P

Sir:

Under the provisions of 35 USC 119 and 37 CFR 1.55(a), the applicant hereby claims the right of priority based on the following application(s):

<u>Country</u>	<u>Application No.</u>	<u>Filed</u>
Taiwan	90117485	07/17/01

A certified copy of the above-noted application(s) is(are) attached hereto.

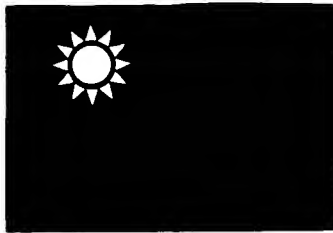
If necessary, the Commissioner is hereby authorized in this, concurrent, and future replies, to charge payment or credit any overpayment to deposit Account No. 02-2448 for any additional fees required under 37 C.F.R. 1.16 or under 37 C.F.R. 1.17; particularly, extension of time fees.

Respectfully submitted,

BIRCH, STEWART, KOLASCH & BIRCH, LLP

By: Joe McKinney Muncy  
JOE MCKINNEY MUNCY  
Reg. No. 32,334  
P. O. Box 747  
Falls Church, Virginia 22040-0747

Attachment  
(703) 205-8000  
/sl



October 22, 2001  
BSKB, LLP  
3626-0228P  
1 of 1



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE  
MINISTRY OF ECONOMIC AFFAIRS  
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，  
其申請資料如下：

This is to certify that annexed is a true copy from the records of the  
office of the application as originally filed which is identified her

申請日：西元 2001 年 07 月 17 日  
Application Date

申請案號：090117485  
Application No.

申請人：凌源通訊股份有限公司  
Applicant(s)

局長  
Director General

陳明邦

CERTIFIED COPY OF  
PRIORITY DOCUMENT

發文日期：西元 2001 年 8  
Issue Date

發文字號：09011011958  
Serial No.

申請案號：
申請日期：
案由：10000

(由本局填寫)

大類：

IPC分類：


## 發明專利申請書

受文者：經濟部智慧財產局

主旨：請審查並准予「相位解調器、符號時序回復電路及其方法」發明專利

申請人	姓名或名稱	中文	1. 凌源通訊股份有限公司	簽章 為應受送達人
		英文	1. Syncomm Technology Corp.	
	ID		1. 16372688	
	住、居所 (事務所)		1. 320中壢市環西路121號3樓	
	國籍		1. 中華民國	
	電話		1. 03-4935103	
	代表人		1. 陳風河 簽章	
專利代理人	姓名	1. 周良吉 2. 劉致宏		簽章
	ID	1. L120562761 2. A123738713		
	地址	1. 台北市長春路20號3樓 2. 台北市長春路20號3樓		
	電話	1. 02-25610366 2. 02-25610366		
	證書字號	1. 台代字第5054號 2. 台代字第5381號		



發明人	姓名	中文	1. 陳仕衡
		英文	1. Shih-Heng Chen
	ID	1. H120113551	
	住、居所	1. 桃園市桃鶯路275巷20號	
	國籍	1. 中華民國	
聲明事項	<input type="checkbox"/> 本案係符合專利法第二十條第一項 <input type="checkbox"/> 第一款但書或 <input type="checkbox"/> 第三款但書規定之期間，其日期為民國      年      月      日 <input type="checkbox"/> 本案係有關微生物 <input type="checkbox"/> 主張優先權 受理該申請案之國家(地區)： 申請日： 申請案號數：		
規費	新台幣參仟伍佰元整		
附送書件	<input checked="" type="checkbox"/> 1、說明書一式二份 <input checked="" type="checkbox"/> 2、圖式一式二份 <input checked="" type="checkbox"/> 3、宣誓書一份 <input checked="" type="checkbox"/> 4、申請權證明書一份(發明人與申請人非同一人) <input checked="" type="checkbox"/> 5、委任書一份(委任專利代理人代為申請者) <input type="checkbox"/> 6、原文說明書一式二份(說明書原本係外國文者) <input type="checkbox"/> 7、主張優先權之證明文件正本及首頁影本各乙份 <input type="checkbox"/> 8、本案有關國防機密證明文件正本乙份 <input type="checkbox"/> 9、微生物寄存機構之寄存證明文件或易於獲得之證明文件，正本及影本各乙份 <input type="checkbox"/> 10、專利法施行細則第十三條規定之證明文件		
			

# 申請專利宣誓書

茲謹宣誓：本案申請專利之「相位解調器、符號時序回復電路及其方法」確係宣誓人所發明，倘有冒充、抄襲、模仿、影射或其他不實情形，願受法律之懲罰。

謹誓

宣誓人姓名：

1. 陳仕衡



簽章

住居所：

1. 桃園市桃鶯路 275 巷 20 號

中 華 民 國 九 十 年 六 月 七 日

# 專利申請權證明書

發明人(創作人)已將發明(創作)之「相位解調器、符號時序回復電路及其方法」專利申請權讓由「凌源通訊股份有限公司」申請專利。

此證

發明人(創作人)：

1. 陳仕衡



簽章

住居所：

1. 桃園市桃鶯路 275 巷 20 號

中 華 民 國 九 十 年 六 月 七 日

(九〇)東專字第 90071703 號

受文者：經濟部智慧財產局

主 旨：本件「相位解調器、符號時序回復電路及其方法」專利申請案之委任狀係採用概括委任狀，其正本附於八十九年十月二日提出之「叢同步校正及錯誤檢知裝置及其方法」專利申請案（申請案號 89120459）卷內，請鑒核。

申請人：凌源通訊股份有限公司

代表人：陳風河

代理人：周良吉 技師



劉致宏 技師



事務所：東大國際專利商標聯合事務所  
台北市長春路 20 號 3 樓

中 華 民 國 九 十 年 七 月 十 七 日

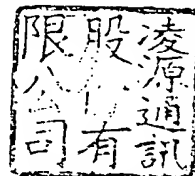
## 概括委任狀

茲就本人 / 本公司之所有中華民國專利、商標及其他工業財產權有關事務，委任下列受任人有向有關單位為下列行為之權限(1)申請、(2)追加、(3)變更、(4)分割、(5)補正或修正、(6)申覆或聲明、(7)轉讓、(8)異議、舉發、評定或答辯、(9)授權、(10)出租、(11)和解、(12)請求鑑定、鑑別或認定、(13)閱卷或影印、(14)再審查、訴願、再訴願、行政訴訟、再審等聲明不服而為之救濟、(15)請求延期、(16)延展、(17)解除前任代理，或變更為單獨代理或共同代理、(18)複代理人之選任及解任、(19)以上行為之撤回或撤銷、捨棄之聲明、(20)代收一切書證或物件、(21)辦理中華民國專利法、商標法及其他法令所定之關於專利、商標及其他工業財產權之一切程序，及在中華民國境內代為保障相關權益之一切行為之權。

委 任 人： 凌源通訊股份有限公司

法 定 代 理 人： 陳風河

住 居 所： 320 中壢市環西路 121 號 3 樓



受 任 人： 周 良 吉 技 師

台 代 字 第 5054 號



劉 致 宏 技 師

台 代 字 第 5381 號



事 務 所： 東大國際專利商標聯合事務所

地 址： 台北市長春路 20 號 3 樓

中 華 民 國 八 十 九 年 九 月 七 日



申請日期：	案號：
類別：	

(以上各欄由本局填註)

## 發明專利說明書

一、 發明名稱	中 文	相位解調器、符號時序回復電路及其方法
	英 文	
二、 發明人	姓 名 (中文)	1. 陳仕衡
	姓 名 (英文)	1. Shih-Heng Chen
	國 籍	1. 中華民國
	住、居所	1. 桃園市桃鶯路275巷20號
三、 申請人	姓 名 (名稱) (中文)	1. 凌源通訊股份有限公司
	姓 名 (名稱) (英文)	1. Syncomm Technology Corp.
	國 籍	1. 中華民國
	住、居所 (事務所)	1. 320中壢市環西路121號3樓
	代表人 姓 名 (中文)	1. 陳風河
	代表人 姓 名 (英文)	1. Fueng-Ho Chen



四、中文發明摘要 (發明之名稱：相位解調器、符號時序回復電路及其方法)

本發明係提供一種符號時序回復電路，包含一轉換值產生電路、一選擇電路、複數個累加器、及一比較模組，其係無須進行相位差之運算過程，而可直接利用相鄰兩符號之數位同相訊號分量與數位正交訊號分量來求取最佳取樣點之符號時序回復電路。另外，本發明亦提供一種構造簡單之相位解調器。

英文發明摘要 (發明之名稱：)



本案已向

國(地區)申請專利

申請日期

案號

主張優先權

無

有關微生物已寄存於

寄存日期

寄存號碼

無

## 五、發明說明 (1)

### 【發明背景】

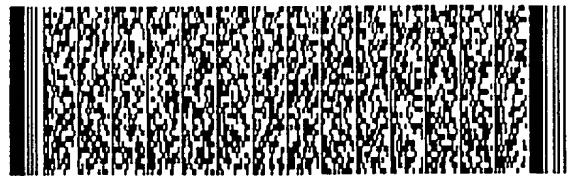
#### 發明之領域

本發明係有關於一種相位解調器、符號時序回復電路及其方法，特別係指一種利用於使用  $\pi/4$ -DQPSK 基頻解調變技術之 TDMA 系統中的相位解調器、符號時序回復電路及其方法。

#### 習知技術之描述

按，就數位無線基頻解調變技術而言， $\pi/4$ -DQPSK 基頻解調變技術乃為常見之技術之一，該  $\pi/4$ -DQPSK 基頻解調變技術目前係廣泛地被使用於如北美的 USDC 與 PACS 系統、或日本的 PDC 與 PHS 等系統中。此外，就  $\pi/4$ -DQPSK 基頻解調變技術而言，通常係利用一相位解調器來進行，習知的相位解調器係如圖 1 所示，其係為一包含有一符號時序回復電路 15 之相位解調器 1，如該圖所示，該相位解調器 1 尚包含一射頻電路 11、一類比數位轉換器 12、一匹配濾波器 13、及一相位差產生電路 14。

其中，該射頻電路 11 係用以接收一類比高頻訊號並將其轉換成一類比中頻訊號；該類比中頻訊號係再經該類比數位轉換器 12 及匹配濾波器 13 之轉換與濾波進而產生一同相(in-phase)訊號 I、及一正交(quadrature)訊號 Q，一般而言該同相訊號 I、及正交訊號 Q 係分別為一帶有正負號之數位訊號；該相位差產生電路 14 係依據同相訊號 I 及正交訊號 Q 來求取一相位差  $\Delta\theta$ ；該符號時序回復電路 15 則依據該相位差產生電路 14 所輸出之相位差來進行符號時序回



## 五、發明說明 (2)

復。

承上所述，習知符號時序回復電路15為計算一符號之最佳取樣點，通常係先要藉由上述相位差產生電路14求取一相位差 $\Delta\theta$ ，以供該符號時序回復電路15利用，該符號時序回復電路15再藉由相位差 $\Delta\theta$ 來計算出最佳取樣點，據以進行符號時序回復。此種技術係可見於美國專利第4,941,155號所示之內容。就該專利所揭示之內容而言，其缺點為：其在求取最佳取樣點時，必須於極座標與I-Q直角座標間進行多次的數學運算轉換，且其在求取相位差 $\Delta\theta$ 時亦必須經過複雜的運算過程，如此將會導致執行時間的增加。

有鑑上述缺點，如何在尋求最佳取樣點過程中簡化運算步驟，進而縮短運算時間實為一重要課題。此外，如何簡化最佳取樣點之運算、簡化運算所需之電路，進而簡化相位解調器之構成亦為一重要課題。

### 【發明概要】

本發明之一目的在於提供一種可簡化尋求最佳取樣點之運算過程，進而縮短運算時間之符號時序回復電路及其方法。

本發明之另一目的在於提供一種可簡化尋求最佳取樣點之運算過程，進而簡化運算所需電路之相位解調器。

而，本發明之一特徵係提供一種無須進行相位差 $\Delta\theta$ 之運算過程，而可直接利用相鄰兩符號之數位同相訊號分



### 五、發明說明 (3)

量與數位正交訊號分量來求取最佳取樣點之符號時序回復電路及其方法。

本發明之另一特徵係提供一種無須進行相位差  $\Delta \theta$  之運算過程，而可直接利用相鄰兩符號之數位同相訊號分量與數位正交訊號分量來求取最佳取樣點之相位解調器。

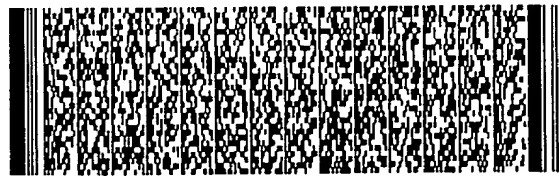
#### 【較佳實施例之詳細說明】

以下係參照圖式來具體說明本發明之較佳實施例。

#### 符號時序回復方法

本發明之符號時序回復方法係可在無須計算訊號波 (signal waveform) 之相位及相位差下，而可將一利用  $\pi/4$ -DQPSK 調變技術(modulation technology)所產生之符號時序(symbol timing)進行回復(recover)。更詳而言之，本發明之符號時序回復方法係可在無須計算訊號波 (signal waveform) 之相位與相位差下，直接利用相鄰兩符號(symbol)之數位同相訊號分量及數位正交訊號分量來尋找一符號週期中之一最佳取樣點(best or optimal sampling point)，進而依據該最佳取樣點來進行符號時序回復。

在具體說明本發明之符號時序回復方法之前，要先說明的是，於本實施例中，每一叢(burst)訊號係包含有M個符號(symbol)；且每一符號(symbol)中係包含有N個取樣點(sampling points)，其中M、N係分別為一正整數。此外， $I[kN+i]$ 、 $Q[kN+i]$ 係分別表示某一符號中之某一



#### 五、發明說明 (4)

取樣點所對應的數位同相訊號分量及數位正交訊號分量，以下簡稱為 $I[n]$ 、 $Q[n]$ ，其中， $i$ 、 $k$ 係分別為整數，且 $0 \leq k \leq M-1$ ， $1 < i \leq N$ 。又， $I[(kN+i)-N]$ 、 $Q$

$[(kN+i)-N]$ 係分別表示相對於某一符號之前一符號中之某一取樣點所對應的數位同相訊號分量及數位正交訊號分量，以下簡稱為 $I_d[n]$ 、 $Q_d[n]$ ，其中， $i$ 、 $k$ 係分為整數，且 $0 \leq k \leq M-1$ ， $1 < i \leq N$ 。此外，對於同一取樣點之相鄰兩符號而言，其前一符號之某一取樣點所對應的數位同相訊號分量及數位正交訊號分量亦可分別表示為 $I$

$[n-N]$ 、 $Q[n-N]$ ，亦即 $I_d[n] = I[n-N]$ 、 $Q_d[n] = Q[n-N]$ 。

如圖2所示，本發明之符號時序回復方法係於步驟21中，將同一取樣點之相鄰兩符號之同相訊號分量的乘積加上該兩符號之正交訊號分量的乘積，以獲致一第一轉換分量( $X[n]$ )，同時，將該相鄰符號之前一符號的同相訊號分量與目前符號的正交訊號分量乘積減去目前符號之同相訊號分量與前一符號之正交訊號分量的乘積，以獲致一第二轉換分量( $Y[n]$ )，若以數學式表示，則可表示為：

$$X[n] = I[n] I_d[n] + Q[n] Q_d[n] \dots \dots (1a)$$

$$Y[n] = I_d[n] Q[n] - I[n] Q_d[n] \dots \dots (1b)$$

再於步驟22中，將該第一轉換分量( $X[n]$ )之平方值加上該第二轉換分量( $Y[n]$ )之平方值，以獲致一轉換值，若令轉換值為 $R^2[n]$ 時，則 $R^2[n] = X^2[n] + Y^2$

$[n] \dots \dots (1c)$ ；



## 五、發明說明 (5)

於步驟23中，係針對M個符號，將同一取樣點所對應之轉換值加總，以獲致一累計值，若令累計值為 $\Gamma$ 時，則

$$\Gamma = \sum_{i=1}^M R_i$$

於步驟24中，係比較出上述複數個累計值 $\Gamma_i$ 中之最大者，該最大累計值所對應於之取樣點即是最佳取樣點。當最佳取樣點位置決定後，則可依據該最佳取樣點之位置來調整時序，以正確地進行符號時序回復。

以下係進一步說明為何可藉由最大累計值來決定最佳取樣點之位置。

承上所述，由於 $I[n]$ 、 $Q[n]$ 係分別代表同相訊號分量及正交訊號分量，因此，對於I-Q座標平面而言，該 $I[n]$ 、 $Q[n]$ 之分量亦可分別表示成：

$$I[n] = r \times \cos \theta_n \quad \dots \dots (2a),$$

$$Q[n] = r \times \sin \theta_n \quad \dots \dots (2b); \text{ 其中 } r^2 = I^2 + Q^2.$$

此時， $I_d[n]$ 、 $Q_d[n]$ 係可分別表示為：

$$I_d[n] = I[n-N] = r \times \cos \theta_{n-N} \quad \dots \dots (2c),$$

$$Q_d[n] = Q[n-N] = r \times \sin \theta_{n-N} \quad \dots \dots (2d);$$

若將上述式(2a)、(2b)、(2c)、(2d)代入上述式(1a)、(1b)時，則

$$X[n] = r^2 \cos \theta_n \cdot \cos \theta_{n-N} + r^2 \sin \theta_n \cdot \sin \theta_{n-N} \quad \dots \dots (3a),$$

$$Y[n] = r^2 \sin \theta_n \cdot \cos \theta_{n-N} - r^2 \cos \theta_n \cdot \sin \theta_{n-N}$$





## 五、發明說明 (6)

... (3b) ;

又，由三角函數定理可知，上述式(3a)及(3b)係可表示為：

$$\cos \theta_n \cdot \cos \theta_{n-N} + \sin \theta_n \cdot \sin \theta_{n-N} = \cos(\theta_n - \theta_{n-N})$$

... (4a) ,

$$\sin \theta_n \cdot \cos \theta_{n-N} - \cos \theta_n \cdot \sin \theta_{n-N} = \sin(\theta_n - \theta_{n-N})$$

... (4b) ;

$$\text{亦即, } X[n] = r^2 \cos(\theta_n - \theta_{n-N}) \quad \dots (5a) ,$$

$$Y[n] = r^2 \sin(\theta_n - \theta_{n-N}) \quad \dots (5b) ;$$

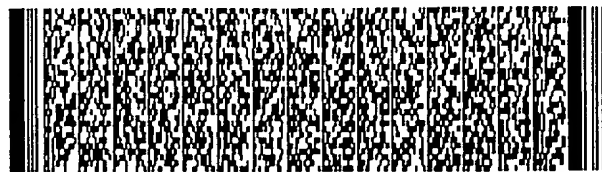
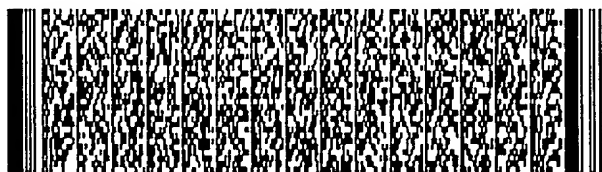
由式(5a)、式(5b)可知， $X[n]$ 、 $Y[n]$ 之運算事實上已具有等同於相位差計算之效果。

此外，值得一提的是，由於 $R^2[n] = r^4 \{ X^2[n] + Y^2[n] \}$ ，因此，如圖3所示，對於任一取樣點之 $R^2[n]$ 值，並非全為1，而當 $R^2[n] = 1$ 時，係表示中心點0至點P、點Q、點R、點S之最大平均距離，換言之，當累計值最大時，其所對應之取樣點即是最佳取樣點。

### 符號時序回復電路

以下，係以圖4~圖7來具體說明本發明之符號時序回復電路。

如圖4所示，本發明之符號時序回復電路(symbol timing recovery circuit)35係包含一轉換值產生電路(transform value generation circuit)351、一選擇電路(selection circuit)352、複數個累加器(accumulator)353、及一比較模組(comparison



五、發明說明 (7)

module)354，其中，

該轉換值產生電路351係利用兩相鄰符號中之同一取樣點之同相訊號分量及正交訊號分量來產生一對應該取樣點之轉換值 $R^2[n]$ ，如圖5所示，該轉換值產生電路351係包含一第一運算電路3511、及一第二運算電路3512。

該第一運算電路3511係主要由兩個延遲器、四個乘法器、及兩個加法器所構成，其依據同相訊號分量 $I[n]$ 及正交訊號分量 $Q[n]$ 來分別產生一第一轉換分量 $X[n]$ 、及第二轉換分量 $Y[n]$ ，其中該第一轉換分量 $X[n]$ 係等於在同一取樣點下，相鄰兩符號之同相訊號分量的乘積加上該兩符號之正交訊號分量的乘積，其數學運算式係如上述式(1a)所示；又，該第二轉換分量 $Y[n]$ 係等於在同一取樣點下，相鄰兩符號之前一符號的同相訊號分量與目前符號的正交訊號分量乘積減去目前符號之同相訊號分量與前一符號之正交訊號分量的乘積，其數學運算式係如上述式(1b)所示；

第二運算電路3512係主要由兩個乘法器及一加法器所構成，其依據上述第一轉換分量 $X[n]$ 及第二轉換分量 $Y[n]$ 來產生一轉換值 $R^2[n]$ ，而該轉換值 $R^2[n]$ 係等於該第一轉換分量 $X[n]$ 之平方值加上該第二轉換分量 $Y[n]$ 之平方值，其數學運算式係如上述式(1c)所示。

此外，該選擇電路352係電連於該轉換值產生電路351，用以接收該轉換值產生電路351所輸出之轉換值 $R^2[n]$ ，並依據取樣點之順序將該轉換值 $R^2[n]$ 依序輸



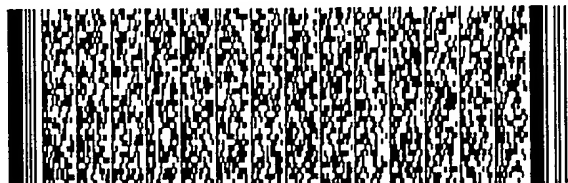
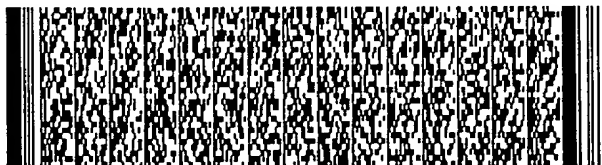
##### 五、發明說明 (8)

出，於本實施例中，該選擇電路352係為一解多工器(demultiplexer)；

該等累加器353係用以分別接收來自該選擇電路352所輸出之各取樣點所對應之轉換值，其中，該等累加器353之個數係相同於每一符號取樣點個數，於本實施例中，每一符號之取樣點之個數係為25點，亦即 $N=25$ 。每一累加器係用以累加兩相鄰符號中之同一取樣點之轉換值，以獲致每一取樣點所對應之累計值 $\Gamma_i$ ；再者，

該比較模組354係電連於該等累加器353，用以接收該等累加器353所輸出之累計值，並將其分別加以比較，以獲致其中之最大累計值，該最大累計值所對應之取樣點即是最佳取樣點位置。如圖6所示，藉由比較模組354所輸出之最佳取樣點位置 $p$ ，再判斷該最佳取樣點座落於一符號之哪一區間，並藉此控制一鎖相迴路(PLL)355，來進行時脈(clock)調整，據以針對接收訊號的符號時序正確地進行回復(recover)。例如，在本實施例中，係先行設定最佳取樣點位於一符號之第 $\frac{N-1}{2}$ 取樣點上，當 $p$ 係 $0 \leq p \leq (\frac{N-1}{2})$ 時，亦即該比較模組354所輸出之最佳取樣點位置 $p$ 位在一符號之前半區，則調快上述鎖相迴路355所輸出之時脈(clock)；反之，若 $p$ 係 $(\frac{N-1}{2}) < p \leq N$ 時，則調慢上述鎖相迴路355所輸出之時脈(clock)。

以下係本發明之符號時序回復電路的另一實施例。為



#### 五、發明說明 (9)

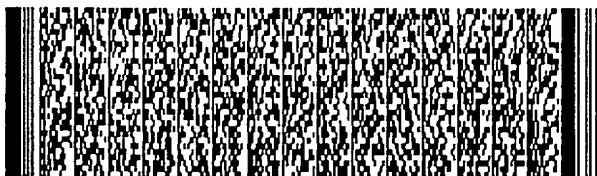
簡化說明，與上述相同之元件係沿用上述圖號，且其說明係予以省略。

如圖7所示，本發明之符號時序回復電路35亦可包含一轉換值產生電路(transform value generation circuit)351、一運算電路356、複數個延遲電路(delay circuit)357、及一比較模組(comparison module) 354。

於本實施例中，該運算電路356係可為一加法器，其係用以將相鄰符號間同一取樣點之轉換值相加。

該等延遲電路(delay circuit)357係用以延遲轉換值之輸出，該等延遲電路357之個數係等於每一符號中取樣點之個數，於本實施例中，每一符號中取樣點之個數係為25點。亦即，當取樣點所對應之轉換值經過一個符號時間時，由第25個延遲電路357所輸出之第1取樣點之轉換值會藉由該運算電路356與第26取樣點之轉換值相加，同理，第2取樣點之轉換值會藉由該運算電路356與第27取樣點之轉換值相加，以此類推，在總延遲時間係等於60個符號的時間時，每一延遲電路357即可輸出每一取樣點之轉換值的累計值，該等累計值則可於上述比較模組(comparison module) 354中加以比較，以獲致其中之最大累計值，該最大累計值所對應之取樣點即是最佳取樣點位置。

在此值得一提的是，本實施例在圖7之比較模組354亦會輸出最佳取樣點位置，並且如同圖6之實施例所述一般先判斷該最佳取樣點座落於一符號之哪一區間，再藉此控制一鎖相迴路(PLL)355，來進行時脈(clock)調整，據以



## 五、發明說明 (10)

針對接收訊號的符號時序正確地進行回復(recover)。

由上述可知，由於本發明之符號時序回復電路係可直接利用同相訊號分量與正交訊號分量來求取最佳取樣點，而無須如習知般地進行多次的極座標與I-Q直角座標間之座標運算轉換，且無須經過複雜的相位差 $\Delta\theta$ 運算過程，因此，可縮短尋找最佳取樣點之運算時間。

### 相位解調器

上述說明係針對本發明之符號時序回復電路及其方法。以下係針對本發明之相位解調器作說明。

如圖8所示，本發明之相位解調器3係包含一射頻電路31、一類比數位轉換器32、一匹配濾波器33、及一符號時序回復電路35。由於該射頻電路31、類比數位轉換器32及匹配濾波器33之功能係與前述射頻電路11、類比數位轉換器12及匹配濾波器13之功能相同，因此，其詳細說明則予以省略。此外，由於該符號時序回復電路35之功能係與本發明之符號時序回復電路相同，因此，其詳細說明亦予以省略。

由圖8所示可知，相較於習知相位解調器1，本發明之相位解調器3係減少一相位差產生電路14，其主要原因係本發明之相位解調器3之符號時序回復電路35不需藉由相位差轉換至極座標來求取最佳取樣點位置，而是直接利用上述匹配濾波器33所輸出之同相訊號分量與正交訊號分量來計算最佳取樣點位置，所以，本發明之相位解調器3可減少一相位差產生電路，據此，本發明之相位解調器係可



#### 五、發明說明 (11)

達到簡化最佳取樣點之運算過程，進而簡化運算所需電路之目的。

在詳細說明中所提出之較佳實施例僅為了易於說明本發明之技術內容，而並非將本發明狹義地限制於該實施例，在不超出本發明之精神及以下申請專利範圍之情況，可作種種變化實施。



## 圖式簡單說明

### 【圖式之簡單說明】

本發明之上述及其他目的、優點和特色由以下較佳實施例之詳細說明中並參考圖式當可更加明白，其中：

圖1係習知相位解調器之構成電路的方塊圖。

圖2係本發明之符號時序回復方法的流程方塊圖。

圖3係複數個叢訊號轉換成X-Y平面之模擬圖，其中每一叢訊號係包含60個符號(即 $M=60$ )，且每一符號中係包含25個取樣點( $N=25$ )。

圖4係本發明之較佳實施例之符號時序回復電路的構成說明圖。

圖5係本發明之轉換值產生電路之構成說明圖。

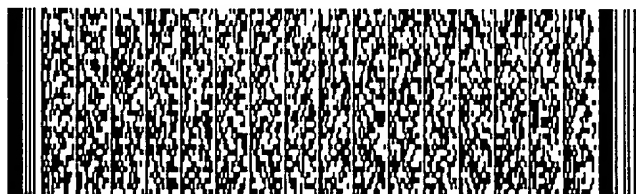
圖6係本發明之符號時序回復電路的另一構成方塊圖。

圖7係本發明之另一符號時序回復電路的構成方塊圖。

圖8係本發明之相位解調器的構成方塊圖。

### 【標號說明】

- |       |                 |
|-------|-----------------|
| 21~24 | 本發明之符號時序回復方法之步驟 |
| 3     | 相位解調器           |
| 31    | 射頻電路            |
| 32    | 類比數位轉換器         |
| 33    | 匹配濾波器           |
| 35    | 符號時序回復電路        |



圖式簡單說明

351	轉換值產生電路
3511	第一運算電路
3512	第二運算電路
352	選擇電路
353	累加器
354	比較模組
355	鎖相迴路
356	運算電路
357	延遲電路





## 六、申請專利範圍

1. 一種符號時序回復電路，係用以接收一同相訊號及一正交訊號，並依據同相訊號分量及正交訊號分量來尋找、輸出一符號週期中之一最佳取樣點(ideal sampling point)，包括：

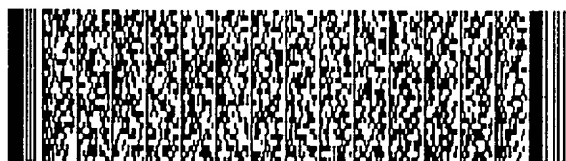
一轉換值產生電路，係利用兩相鄰符號中之同一取樣點之同相訊號及正交訊號來產生一對應該取樣點之轉換值；

一選擇電路，係電連於該轉換值產生電路，用以接收該轉換值產生電路所輸出之轉換值，並依據取樣點之順序將該轉換值依序輸出；

複數個累加器，係用以分別接收來自該選擇電路所輸出之各取樣點所對應之轉換值，其中，該等累加器之個數係相同於取樣點個數，且每一累加器係用以累加兩相鄰符號中之同一取樣點之轉換值，以獲致每一取樣點所對應之累計值；及

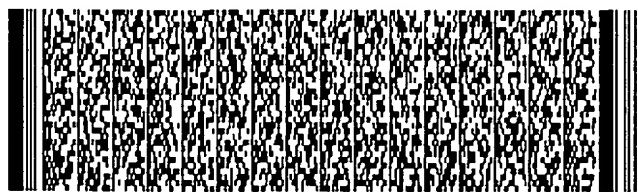
一比較模組，係電連於該等累加器，用以接收該等累加器所輸出之累計值，並將其加以比較，以獲致一最大累計值，該最大累計值所對應之取樣點即是最佳取樣點。

2. 如申請專利範圍第1項所述之符號時序回復電路，其中，該符號時序回復電路係更包含一鎖相迴路，該鎖相迴路係藉由上述比較模組所輸出之最佳取樣點位置來進行時序調整，據以正確地進行時序回復。



#### 六、申請專利範圍

3. 如申請專利範圍第1項所述之符號時序回復電路，其中，該轉換值產生電路係包含一第一運算電路、及一第二運算電路，其中，該第一運算電路係依據同相訊號分量及正交訊號分量，分別產生一第一轉換分量、及一第二轉換分量；該第二運算電路係依據該第一轉換分量及第二轉換分量來產生該轉換值。
4. 如申請專利範圍第3項所述之符號時序回復電路，其中，該第一轉換分量係等於在同一取樣點下，相鄰兩符號之同相訊號分量的乘積加上該兩符號之正交訊號分量的乘積；該第二轉換分量係等於在同一取樣點下，相鄰兩符號之前一符號的同相訊號分量與目前符號的正交訊號分量乘積減去目前符號之同相訊號分量與前一符號之正交訊號分量的乘積；而該轉換值係等於該第一轉換分量之平方值加上該第二轉換分量之平方值。
5. 如申請專利範圍第1項所述之符號時序回復電路，其中，該選擇電路係為解多工器。
6. 如申請專利範圍第1項所述之符號時序回復電路，其中，每一符號週期中係具有25個取樣點，亦即取樣速率為符號速率的25倍。
7. 一種符號時序回復電路，係用以接收一同相訊號及一正



#### 六、申請專利範圍

交訊號，並依據同相訊號分量及正交訊號分量來尋找、輸出一符號週期中之一最佳取樣點(ideal sampling point)，包括：

一轉換值產生電路，係利用兩相鄰符號中之同一取樣點之同相訊號分量及正交訊號分量來產生一對應該取樣點之轉換值；

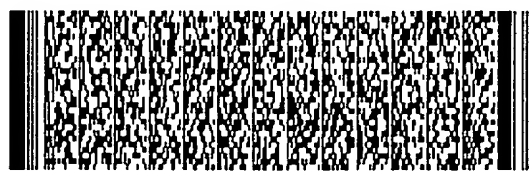
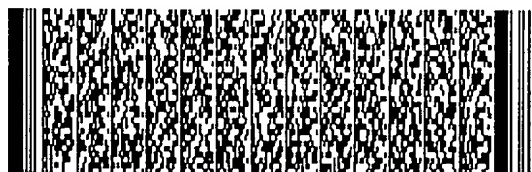
一運算電路，係電連於該轉換值產生電路，用以接收該轉換值產生電路所輸出之轉換值，並將其與另一轉換值相加輸出；

複數個延遲電路，係分別串列連接，其最前與最後之延遲電路係分別電連於該運算電路，上述另一轉換值係由該最後延遲電路所輸出，該等延遲電路經一一定時間後，則分別輸出一由取樣點對應之轉換值所累計之累計值；及

一比較模組，係電連於該等延遲電路，用以接收該等延遲電路所輸出之累計值，並將其加以比較，以獲致一最大累計值，該最大累計值所對應之取樣點即是最佳取樣點。

8. 如申請專利範圍第7項所述之符號時序回復電路，其中，該符號時序回復電路係更包含一鎖相迴路，該鎖相迴路係藉由上述比較模組所輸出之最佳取樣點位置來進行時序調整，據以正確地進行時序回復。

9. 如申請專利範圍第7項所述之符號時序回復電路，其



#### 六、申請專利範圍

中，該轉換值產生電路係包含一第一運算電路、及一第二運算電路，其中，該第一運算電路係依據同相訊號分量及正交訊號分量，分別產生一第一轉換分量、及一第二轉換分量；該第二運算電路係依據該第一轉換分量及第二轉換分量來產生該轉換值。

10. 如申請專利範圍第9項所述之符號時序回復電路，其中，該第一轉換分量係等於在同一取樣點下，相鄰兩符號之同相訊號分量的乘積加上該兩符號之正交訊號分量的乘積；該第二轉換分量係等於在同一取樣點下，相鄰兩符號之前一符號的同相訊號分量與目前符號的正交訊號分量乘積減去之目前符號之同相訊號分量與前一符號之正交訊號分量的乘積；而該轉換值係等於該第一轉換分量之平方值加上該第二轉換分量之平方值。

11. 如申請專利範圍第7項所述之符號時序回復電路，其中，該運算電路為加法器。

12. 如申請專利範圍第7項所述之符號時序回復電路，其中，每一符號週期中係具有25個取樣點，亦即取樣速率為符號速率的25倍。

13. 一種符號時序回復方法，係依據相鄰兩符號之同相訊號分量及正交訊號分量來尋找一符號週期中之一最佳取樣



## 六、申請專利範圍

點，包括以下步驟：

在同一取樣點下，將相鄰兩符號之同相訊號分量的乘積加上該兩符號之正交訊號分量的乘積，以獲致一第一轉換分量，同時，將該相鄰符號之前一符號的同相訊號分量與目前符號的正交訊號分量乘積減去之前一符號之同相訊號分量與目前符號之正交訊號分量的乘積，以獲致一第二轉換分量；

將該第一轉換分量之平方值加上該第二轉換分量之平方值，以獲致一轉換值；

針對複數個符號，將同一取樣點所對應之轉換值加總，以獲致一累計值；及

比較出複數個累計值中之最大者，該最大累計值所對應之取樣點即是最佳取樣點。

14. 如申請專利範圍第13項所述之符號時序回復方法，其中，每一符號週期中係具有25個取樣點，亦即取樣速率為符號速率的25倍。

15. 一種相位解調器，係包含：

一射頻電路，係用以接收一類比高頻訊號並將其轉換成一類比中頻訊號；

一類比數位轉換器，係與該射頻電路電連接，用以接收該類比中頻訊號，並將其轉換成數位訊號；

一匹配濾波器，係與該類比數位轉換器電連接，並依



#### 六、申請專利範圍

據該數位訊號來產生一同相訊號、及一正交訊號；

一符號時序回復電路，係與該匹配濾波器電連接，並依據該同相訊號分量及正交訊號分量來求取一最佳取樣點位置。

16. 如申請專利範圍第15項所述之相位解調器，其中，該符號時序回復電路包括：

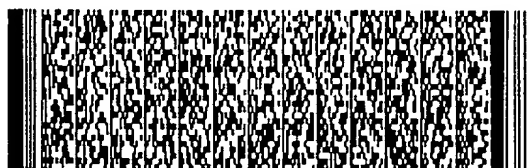
一轉換值產生電路，係利用兩相鄰符號中之同一取樣點之同相訊號及正交訊號來產生一對應該取樣點之轉換值；

一選擇電路，係電連於該轉換值產生電路，用以接收該轉換值產生電路所輸出之轉換值，並依據取樣點之順序將該轉換值依序輸出；

複數個累加器，係用以分別接收來自該選擇電路所輸出之各取樣點所對應之轉換值，其中，該等累加器之個數係相同於取樣點個數，且每一累加器係用以累加兩相鄰符號中之同一取樣點之轉換值，以獲致每一取樣點所對應之累計值；及

一比較模組，係電連於該等累加器，用以接收該等累加器所輸出之累計值，並將其加以比較，以獲致一最大累計值，該最大累計值所對應之取樣點即是最佳取樣點。

17. 如申請專利範圍第16項所述之相位解調器，其中，該符號時序回復電路係更包含一鎖相迴路，該鎖相迴路係藉



#### 六、申請專利範圍

由上述比較模組所輸出之最佳取樣點位置來進行時序調整，據以正確地進行時序回復。

18. 如申請專利範圍第16項所述之相位解調器，其中，該轉換值產生電路係包含一第一運算電路、及一第二運算電路，其中，該第一運算電路係依據同相訊號分量及正交訊號分量，分別產生一第一轉換分量、及一第二轉換分量；該第二運算電路係依據該第一轉換分量及第二轉換分量來產生該轉換值。

19. 如申請專利範圍第18項所述之相位解調器，其中，該第一轉換分量係等於在同一取樣點下，相鄰兩符號之同相訊號分量的乘積加上該兩符號之正交訊號分量的乘積；該第二轉換分量係等於在同一取樣點下，相鄰兩符號之前一符號的同相訊號分量與目前符號的正交訊號分量乘積減去目前符號之同相訊號分量與前一符號之正交訊號分量的乘積；而該轉換值係等於該第一轉換分量之平方值加上該第二轉換分量之平方值。

20. 如申請專利範圍第16項所述之相位解調器，其中，該選擇電路係為解多工器。

21. 如申請專利範圍第16項所述之相位解調器，其中，每一符號週期中係具有25個取樣點，亦即取樣速率為符號速



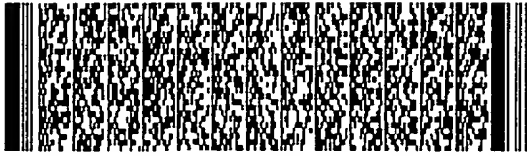
六、申請專利範圍

率的25倍。





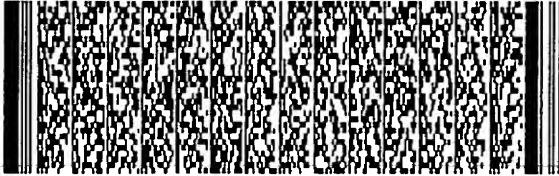
第 1/24 頁



第 2/24 頁



第 4/24 頁



第 4/24 頁



第 5/24 頁



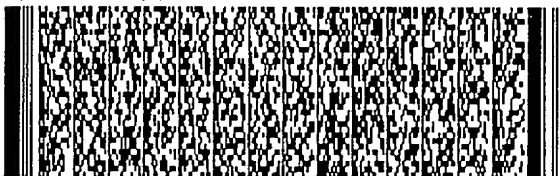
第 5/24 頁



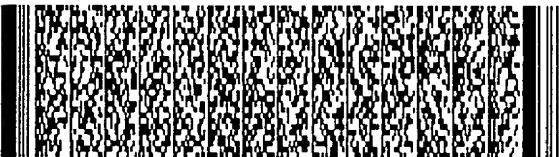
第 6/24 頁



第 6/24 頁



第 7/24 頁



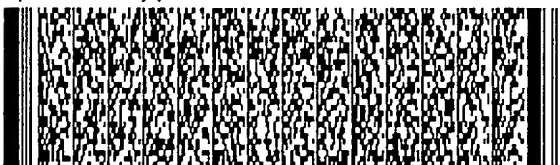
第 7/24 頁



第 8/24 頁



第 8/24 頁



第 9/24 頁



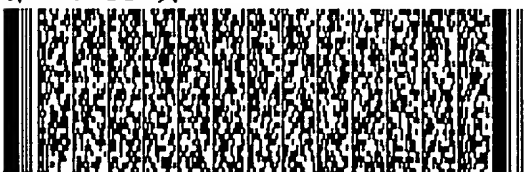
第 9/24 頁



第 10/24 頁



第 10/24 頁



第 11/24 頁



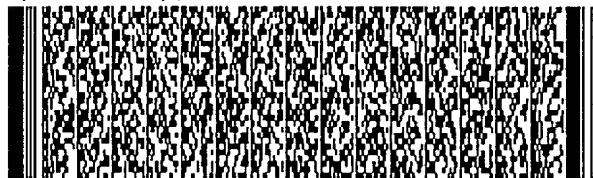
第 11/24 頁



第 12/24 頁



第 12/24 頁



第 13/24 頁



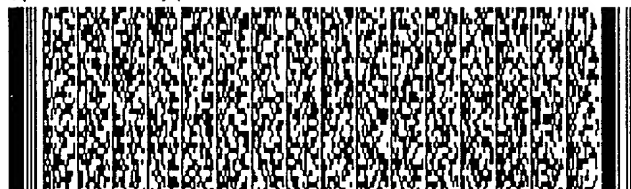
第 13/24 頁



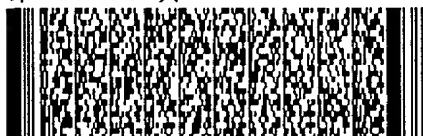
第 14/24 頁



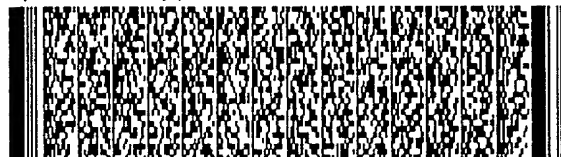
第 15/24 頁



第 16/24 頁



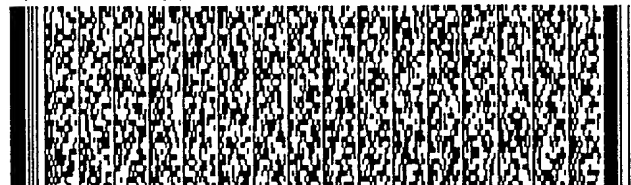
第 17/24 頁



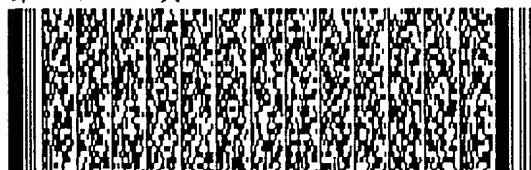
第 17/24 頁



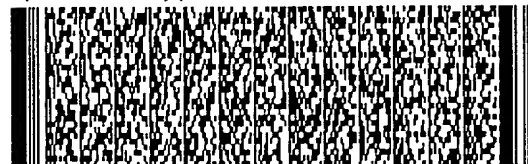
第 18/24 頁



第 19/24 頁



第 19/24 頁



第 20/24 頁



第 21/24 頁



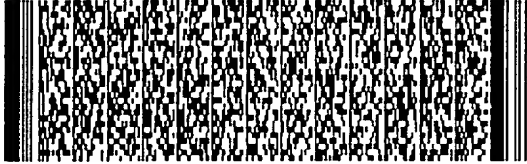
第 21/24 頁



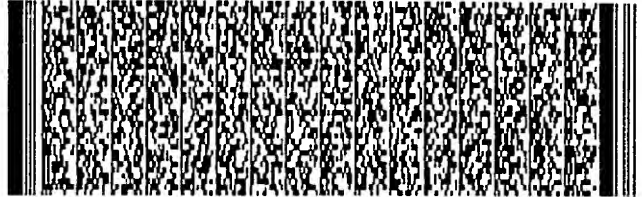
第 22/24 頁



第 22/24 頁



第 23/24 頁



第 24/24 頁



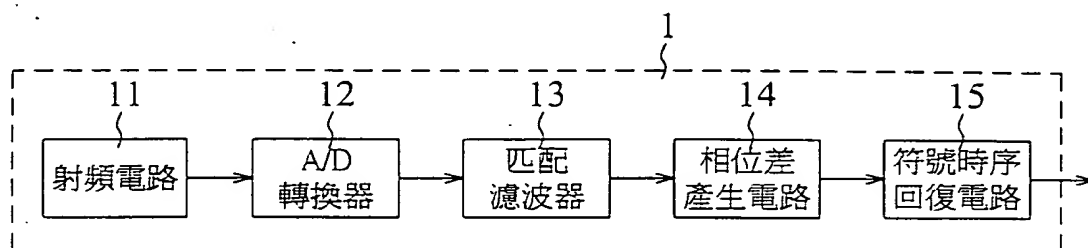


圖 1

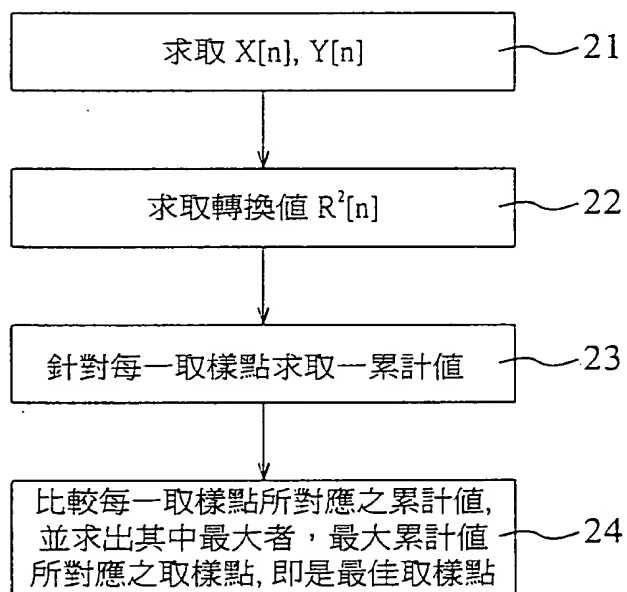


圖 2

圖式

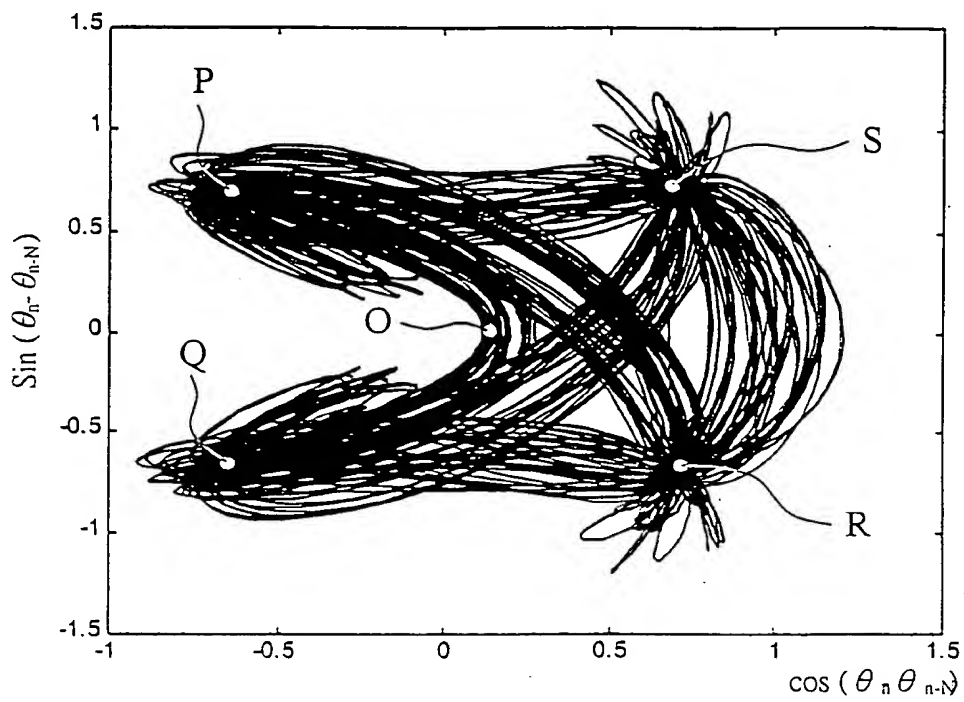


圖 3

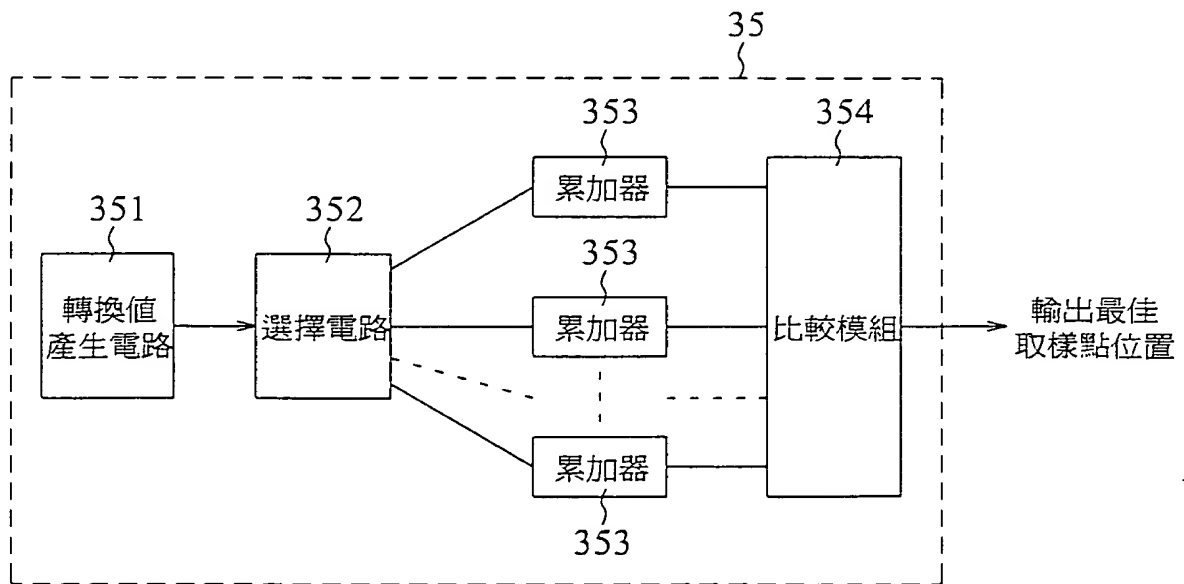


圖 4

圖式

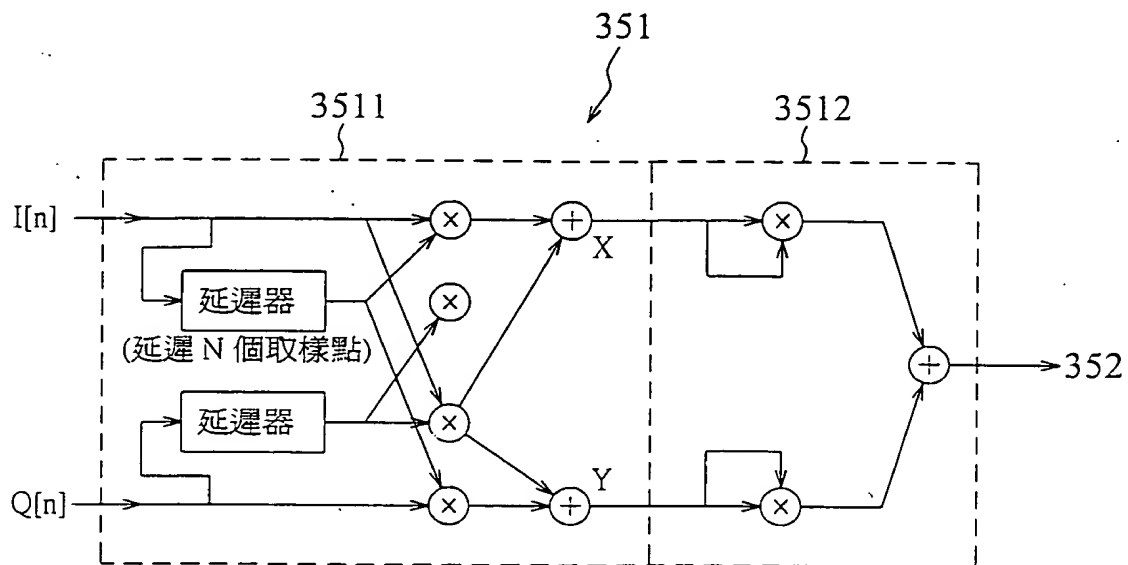


圖 5

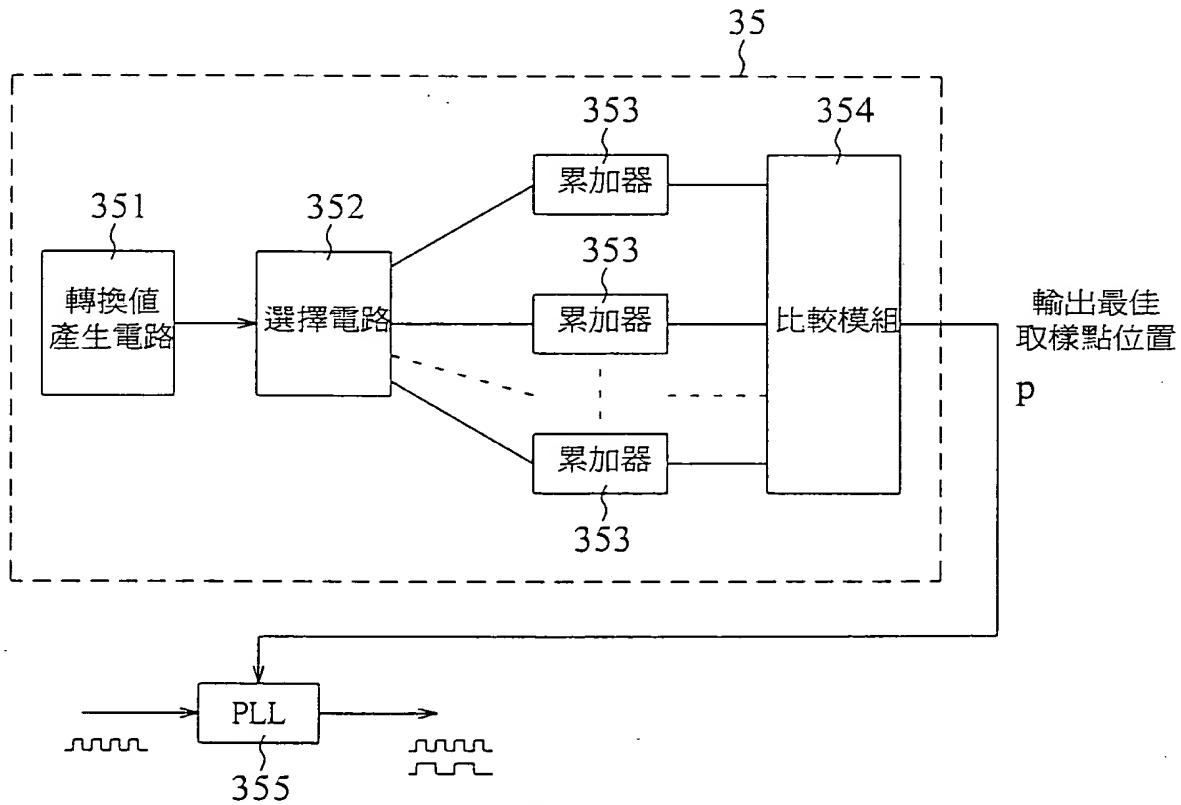


圖 6

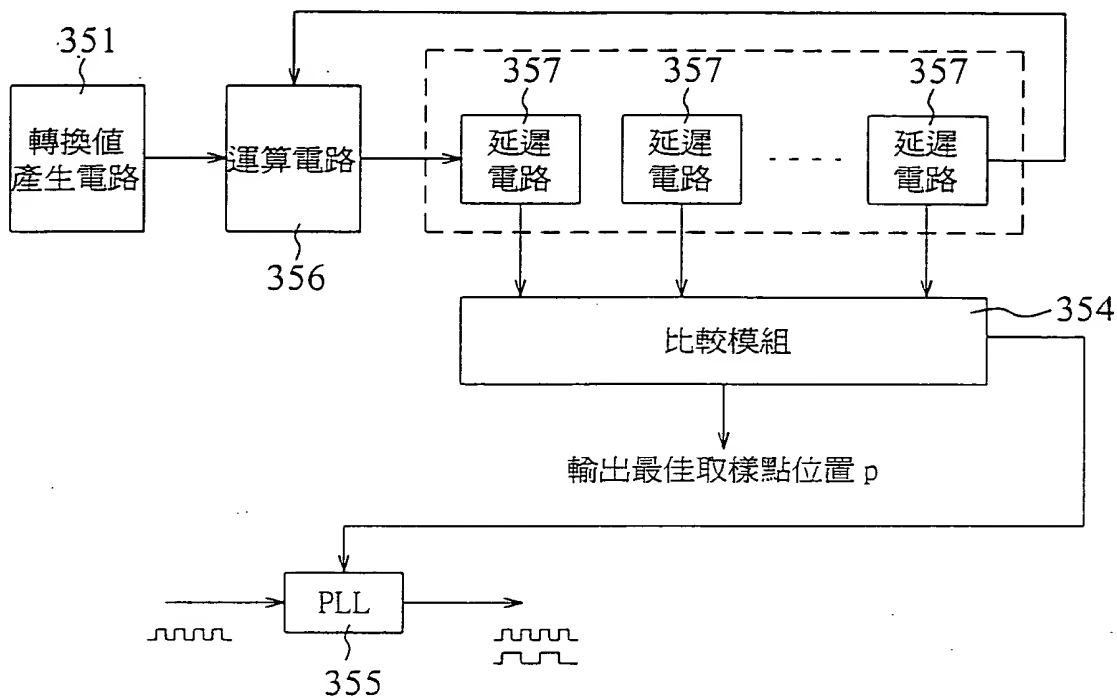


圖 7

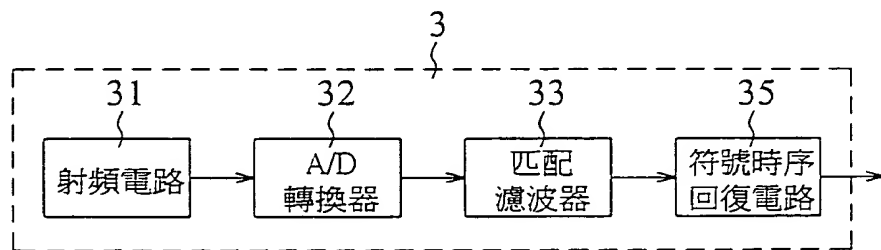


圖 8